

21852  
12/24/07  
JLH

03500.016212.

PATENT APPLICATION



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

TADAAKI MAEDA

Application No.: 10/078,396 ✓

Filed: February 21, 2002

For: MEMORY CONTROL DEVICE  
HAVING LESS POWER  
CONSUMPTION FOR  
BACKUP

Group Art Unit: 2185

Date: September 11, 2002

Commissioner for Patents  
Washington, D.C. 20231

**RECEIVED**

SEP 16 2002

SUBMISSION OF PRIORITY DOCUMENT

Technology Center 2100

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed is  
a certified copy of the following foreign application:

Japan 2001-047504, filed February 23, 2001.

Applicant's undersigned attorney may be reached in our Costa Mesa, California office by telephone at (714) 540-8700. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
Attorney for Applicant

Registration No. 32622

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

CA\_MAIN 47422 v 1

CF01602 US/sum



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月23日

出 願 番 号

Application Number:

特願2001-047504

[ ST.10/C ]:

[ JP2001-047504 ]

出 願 人

Applicant(s):

キヤノン株式会社

RECEIVED

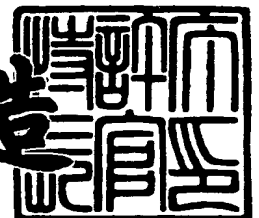
SEP 16 2002

Technology Center 2100

2002年 3月15日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3016806

【書類名】 特許願

【整理番号】 3930034

【提出日】 平成13年 2月23日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明の名称】 メモリコントローラ及びメモリ制御装置

【請求項の数】 7

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 前田 忠昭

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100075292

    【弁理士】

    【氏名又は名称】 加藤 卓

    【電話番号】 03(3268)2481

【手数料の表示】

    【予納台帳番号】 003089

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリコントローラ及びメモリ制御装置

【特許請求の範囲】

【請求項 1】 メモリからリードデータを取り込んで外部に出力する機能を有するメモリコントローラにおいて、

互いに同一周期で異なるタイミングでメモリからのリードデータを取り込む複数のデータ取り込み手段と、

この複数のデータ取り込み手段の内のいずれか 1 つの出力を選択してリードデータとして外部に出力させる選択手段を有することを特徴とするメモリコントローラ。

【請求項 2】 前記複数のデータ取り込み手段は、互いに同一周期で変化のタイミングが異なる複数のクロック信号のそれぞれにより動作してリードデータを取り込む複数のフリップフロップであることを特徴とする請求項 1 に記載のメモリコントローラ。

【請求項 3】 D R A M の動作を制御するメモリコントローラと、 D R A M に対するメイン電源またはバックアップ用のバッテリー電源による電源供給を制御するパワーコントローラからなり、通常の動作中でのメイン電源の停電時、パワーコントローラはメイン電源の電圧低下に応じて D R A M の電源をメイン電源からバッテリー電源に切り替えるとともに、メモリコントローラに対して出力するセルフリフレッシュモードの指示信号をアクティブにし、これに応じてメモリコントローラは D R A M をセルフリフレッシュモードにするよう制御するメモリ制御装置において、

前記メモリコントローラから出力される前記 D R A M のコントロール信号であってメモリコントローラが前記セルフリフレッシュモードを維持するためにローレベルにするクロックイネーブル信号を、セルフリフレッシュモードでローレベルにされた状態からメモリコントローラへの電源供給が停止されてもローレベルにプルダウンするプルダウン抵抗が設けられ、

前記メイン電源の停電時に前記メモリコントローラにより D R A M がセルフリフレッシュモードにされた後に、メモリコントローラに対する電源供給がメイン

電源の復活まで停止されるようにしたことを特徴とするメモリ制御装置。

【請求項 4】 前記通常の動作中でのメイン電源の停電時、前記パワーコントローラはメイン電源の電圧低下に応じて前記メモリコントローラの電源をメイン電源からバッテリー電源に切り替え、メモリコントローラが前記 D R A M をセルフリフレッシュモードにした後、メモリコントローラの電源をバッテリー電源から停電しているメイン電源に切り替えることを特徴とする請求項 3 に記載のメモリ制御装置。

【請求項 5】 前記メモリコントローラに対する電源供給は前記メイン電源のみによりなされ、前記通常の動作中でのメイン電源の停電時に、メイン電源の電圧低下からメモリコントローラが前記 D R A M をセルフリフレッシュモードにするまで前記メモリコントローラに対するメイン電源による電源供給が保証されるようにしたことを特徴とする請求項 3 に記載のメモリ制御装置。

【請求項 6】 前記パワーコントローラは、前記通常の動作中でのメイン電源の停電時にメイン電源の電圧低下に応じて前記セルフリフレッシュモードの指示信号をアクティブにした後、メイン電源が復活してシステムリセットが解除される直後まで前記指示信号をアクティブに保持するものとし、

前記メモリコントローラは、前記メイン電源の復活時に前記指示信号がアクティブである間は前記クロックイネーブル信号をローレベルに保って前記 D R A M のセルフリフレッシュモードを維持することを特徴とする請求項 3 から 5 までのいずれか 1 項に記載のメモリ制御装置。

【請求項 7】 前記メモリコントローラは、通常のメイン電源オン時は、システムリセット解除後に、前記 D R A M に対してパワーオンイニシャルシーケンスを行なって通常動作に入り、

メイン電源の停電後の復活時は、システムリセット解除後に、前記 D R A M に対してパワーオンイニシャルシーケンスを行わずにオートリフレッシュコマンドを発行して通常動作に入ることを特徴とする請求項 3 から 6 までのいずれか 1 項に記載のメモリ制御装置。

【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、SDRAM（シンクロナス・ダイナミック・ランダム・アクセス・メモリ）などのメモリの動作を制御するメモリコントローラ、及びこれとメモリの電源の制御を行なうパワーコントローラとからなるメモリ制御装置に関するものである。

## 【0002】

## 【従来の技術】

SDRAMは半導体プロセスの進歩に伴って、その動作周波数を高めてきた。しかし、SDRAMの動作周波数が高くなるということは、SDRAMを制御するメモリコントローラやメモリコントローラとSDRAMを接続するプリント基板の設計の観点からみると、メモリリード時のセットアップマージン、すなわちリードデータを取り込むためのクロック信号のエッジ例えば立ち上がり以前にリードデータの信号を安定させていなければならない準備時間のマージンがますます厳しくなるということである。

## 【0003】

例えば、100MHzで動作するSDRAMのクロック信号からのリードデータのアクセスタイムは大抵6nsであり、リードデータを受け取るためにはプリント基板とメモリコントローラのセットアップを含めて4ns以下でメモリコントローラのリードデータを取り込むフリップフロップまで信号が到達しなければならない。このような状況下で正確に動作させるため、従来では、

（１）基板上の配線長を可能な限り短くし、基板上の配線による信号ディレイをできるだけ小さくする。あるいは、

（２）高価なクロックドライバ素子等を用いてSDRAMへの供給クロックとメモリコントローラへの供給クロックに意図的にスキューすなわちタイミングずれを生じさせ、セットアップマージンを稼ぐ。

といった手法がとられてきた。

## 【0004】

一方、従来、コンピュータなどの電子回路において、停電時など外部より電源供給が停止した時、SDRAMをバッテリバックアップする必要のあるシステム

においては、

(3) 停電時においてもメモリコントローラ自体はバッテリーにより電源供給され、バックアップすべきSDRAMへのインターフェイスを制御し続ける。あるいは、

(4) メモリコントローラ自体の電源供給を停止する場合は、メモリコントローラとSDRAMの間の制御信号をスイッチ等で切り替え、メモリコントローラ以外のコントローラがバックアップすべきSDRAMを制御する。

といった手法がとられていた。

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、上述したセットアップマージンの問題に関して、最近ではSDRAMの動作周波数は133MHz（クロックサイクルタイム7.5nsec）にまで高くなり、ますますセットアップマージンを確保するのは難しくなっており、上記従来の(1)の手法のように基板上の配線長だけでは対処することが難しくなってきた。また従来の(2)の手法のように特殊なクロックドライバを使用すると、その分コストアップにつながるという欠点がある。

#### 【0006】

また、バッテリーバックアップに関して、従来の(3)の手法では、バックアップすべきSDRAMに加えメモリコントローラ自体によりバッテリーが消費されるのでバックアップ可能時間が短いという欠点があった。特に、システム・オン・シリコンのような大規模ASICにメモリコントローラが内蔵される場合は、ASIC全体にバッテリー電源が供給されることになり、バックアップ可能時間がますます短くなる。

#### 【0007】

また、従来の(4)の手法においては、メモリコントローラの電源を停止することができるので(3)の手法のような問題は解消されるが、メモリコントローラとSDRAMの間にスイッチ等の付加回路が必要なので、その分だけ制御信号のディレイが生じ、SDRAMの動作周波数を上げることが非常に難しくなるといふ欠点がある。なお、この問題はSDRAMに限らずDRAMに共通すること



は勿論である。

【 0 0 0 8 】

そこで本発明の課題は、SDRMなどのメモリを制御するメモリコントローラにおいて、簡単安価な構成により、リード時にメモリの動作周波数が高くてもしリードデータを確実に取り込んで出力できるようにすること、及びメモリコントローラとDRAM間にスイッチ等の付加回路を設けずに、DRAMのバッテリバックアップ時にメモリコントローラへの電源供給を停止してメモリコントローラの消費電力を最小にできるようにすることにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記の課題を解決するため、本発明によれば、

メモリからリードデータを取り込んで外部に出力する機能を有するメモリコントローラにおいて、

互いに同一周期で異なるタイミングでメモリからのリードデータを取り込む複数のデータ取り込み手段（例えば、互いに同一周期で変化のタイミングが異なる複数のクロック信号のそれぞれにより動作してリードデータを取り込む複数のフリップフロップ）と、

この複数のデータ取り込み手段の内のいずれか1つの出力を選択してリードデータとして外部に出力させる選択手段を有する構成を採用した。

【 0 0 1 0 】

また、本発明によれば、

DRAMの動作を制御するメモリコントローラと、DRAMに対するメイン電源またはバックアップ用のバッテリ電源による電源供給を制御するパワーコントローラからなり、通常の動作中でのメイン電源の停電時、パワーコントローラはメイン電源の電圧低下に応じてDRAMの電源をメイン電源からバッテリ電源に切り替えるとともに、メモリコントローラに対して出力するセルフリフレッシュモードの指示信号をアクティブにし、これに応じてメモリコントローラはDRAMをセルフリフレッシュモードにするよう制御するメモリ制御装置において、

前記メモリコントローラから出力される前記DRAMのコントロール信号であ

ってメモリコントローラが前記セルフリフレッシュモードを維持するためにローレベルにするクロックイネーブル信号を、セルフリフレッシュモードでローレベルにされた状態からメモリコントローラへの電源供給が停止されてもローレベルにプルダウンするプルダウン抵抗が設けられ、

前記メイン電源の停電時に前記メモリコントローラによりDRAMがセルフリフレッシュモードにされた後に、メモリコントローラに対する電源供給がメイン電源の復活まで停止されるようにした構成を採用した。

#### 【 0 0 1 1 】

##### 【発明の実施の形態】

以下、図を参照して本発明の実施の形態を説明する。

#### 【 0 0 1 2 】

##### 〔第 1 の実施形態〕

図 1 は、本発明の第 1 の実施形態におけるメモリコントローラの SDRAM からのリードデータの取り込みに関わる構成を示している。同図において、1 はメモリコントローラ、2 はメモリコントローラ 1 により制御される SDRAM、3 はメモリコントローラ 1 と SDRAM 2 にクロック信号を供給するクロックドライバである。4 以下はメモリコントローラ 1 の構成であり、4 は I O（入出力）端子、5 は I O バッファ、6 はクロック信号 CLK\_A により動作して SDRAM 2 からのリードデータ RamData を取り込むフリップフロップ、7 はクロック信号 CLK\_B により動作して SDRAM 2 からのリードデータ RamData を取り込むフリップフロップ、8 はセレクト信号 RdSel により切り替えられるセクタ、9 はクロック信号 CLK\_A により動作してセクタ 8 の出力を取り込むフリップフロップ、10 はクロック信号 CLK\_A を遅延させてクロック信号 CLK\_A と同一周期で変化（立ち上がり、立下り）のタイミングが異なるクロック信号 CLK\_B を形成するためのディレイ素子である。

#### 【 0 0 1 3 】

この構成において、SDRAM 2 からのリードデータ RamData の信号は I O 端子 4 と I O バッファ 5 を経由して、クロック信号 CLK\_A で動作するフリップフロップ 6 と、クロック信号 CLK\_B で動作するフリップフロップ 7 の D 入力に到達す

る。フリップフロップ6はクロック信号CLK\_Aの立ち上がり時のD入力を取り込んでDataIn\_Aとして出力し、フリップフロップ7はクロック信号CLK\_Bの立ち上がり時のD入力を取り込んでDataIn\_Bとして出力するよう動作する。セクタ8はメモリコントローラ1の内部あるいは外部で設定されたセレクト信号RdDSelによりDataIn\_AとDataIn\_Bのいずれか一方を選択してフリップフロップ9のD入力へ出力する。そしてそれを取り込んだフリップフロップ9の出力信号がリードデータRdDataとして、メモリコントローラ1が接続された不図示のCPUバスに出力される。

## 【 0 0 1 4 】

次に、図2と図3のタイミングチャートにより上記動作の詳細を説明する。

## 【 0 0 1 5 】

図2のタイミングチャートは、SDRAM2から4ビートのリードを行なった場合の動作を示し、RdData1, RdData2, RdData3, RdData4はそれぞれ1から4ビート目のリードデータであり、セクタ8によりDataIn\_Bを選択した場合に有効な動作を示したものである。

## 【 0 0 1 6 】

1ビート目のリード動作を説明する。SDRAM2から出力されるリードデータRamDataは、本来はクロック信号CLK\_Aが立ちあがるT201Aの時点でメモリコントローラ1内で取り込まれなくてはならない。しかしながら、メモリコントローラ1とSDRAM2が実装された基板上の配線によるディレイやメモリコントローラ1内部のIOバッファ5等でのディレイにより、IOバッファ5を介して入力されたリードデータの信号がDataInとして示すようにT201Aの時点ではまだ確定していないとする。

## 【 0 0 1 7 】

この場合、クロック信号CLK\_Aで動作するフリップフロップ6はT201Aの時点で不定値Xを取り込んでDataIn\_Aとして出力する。これに対し、DataInはクロック信号CLK\_Bが立ちあがるT201Bの時点ではRdData1に確定しているので、CLK\_Bで動作するフリップフロップ7はT201B時点でRdData1を取り込んでDataIn\_Bとして出力する。このときセクタ8のセレクト信号RdDSelがData

In\_Bを選択する（すなわちフリップフロップ7を選択する）よう設定してあれば、フリップフロップ9のD入力に正しくRdData1が入力されることになり、その結果、1ビット目のリードデータとしてRdData1が正しくリードされ、フリップフロップ9から不図示のCPUバスに出力される。2から4ビット目も同様である。

## 【 0 0 1 8 】

一方、図3のタイミングチャートは、SDRAM2から4ビットのリードをおこなった場合で、上記と逆にセクタ8によりDataIn\_Aを選択した場合に有効な動作を示したものである。

## 【 0 0 1 9 】

1ビット目のリード動作を説明する。SDRAM2から出力されるリードデータRamDataは基板上の配線によるディレイやメモリコントローラ1内部のIOバッファ5等でのディレイにより、IOバッファ5の後段にDataInとして図示するようにあらわれるとする。

## 【 0 0 2 0 】

この場合、T301Aの時点で立ち上がるクロック信号CLK\_Aで動作するフリップフロップ6はT301Aの時点で確定しているRdData1を取り込んでDataIn\_Aとして出力する。これに対し、DataInはT301Bの時点ではすでに不定値Xになっており、T301Bの時点で立ち上がるCLK\_Bで動作するフリップフロップ7はT301B時点で不定値Xを取り込んでDataIn\_Bとして出力する。このときセクタ8のセレクト信号RdDSelがDataIn\_Aを選択する（すなわちフリップフロップ6を選択する）よう設定してあれば、フリップフロップ9のD入力に正しくRdData1が入力されることになり、その結果、1ビット目のリードデータとしてRdData1が正しくリードされ、フリップフロップ9から不図示のCPUバスに出力される。2から4ビット目も同様である。

## 【 0 0 2 1 】

以上のように、本実施形態のメモリコントローラ1によれば、SDRAM2からのリード時に、それぞれ同一周期で変化のタイミングが異なるクロック信号CLK\_A、CLK\_Bで動作するフリップフロップ6、7により異なるタイミングでSDR

AM2からのリードデータを取り込み、セクタ8によりフリップフロップ6, 7のいずれか一方の出力を選択してリードデータとしてCPUバスに出力する。したがって、SDRAM2からリードデータを取り込むタイミングを最適なタイミングに選択して確実にリードデータを取り込むことができ、SDRAM2の動作周波数が高くても確実にリードデータを取り込むことができる。またメモリコントローラ1とSDRAM2を実装したプリント基板上の配線などによるリードデータ信号のディレイに対して、メモリコントローラ1内でリードデータを取り込むタイミングを変更して対応することができるので、プリント基板の設計が容易になり、その設計の日程の短縮及びコスト低減が図れる。さらに、フリップフロップ6, 7, 9、セクタ8、ディレイ素子10を設ける構成は簡単で安価に実現することができる。

## 【0022】

ところで、以上説明した実施形態では、2つのフリップフロップ6, 7と1つのディレイ素子10を用いて2種類のタイミングでリードデータを取り込むものとしたが、3つ以上のフリップフロップと2つ以上のディレイ素子を用いて3種類以上のタイミングでリードデータを取り込み、いずれか1つを選択して出力することも可能である。

## 【0023】

## 〔第2の実施形態〕

次に、本発明の第2の実施形態を図4及び図5により説明する。

## 【0024】

図4は第2の実施形態におけるメモリコントローラのSDRAMからのリードデータの取り込みに関わる構成を示している。同図において、第1の実施形態の図1中と共通の部分には共通の符号を付してあり、その共通部分の説明は省略する。

## 【0025】

図4に示すように、本実施形態のメモリコントローラ1では、インバータ11が第1の実施形態のディレイ素子10の代わりに設けられている。このインバータ11はクロックドライバ3からのクロック信号CLK\_Aを反転して反転クロック

信号CLK\_Iを形成する。フリップフロップ7は、この反転クロック信号CLK\_Iにより動作する。これ以外の部分の構成は第1の実施形態と共通とする。

## 【0026】

次に、本実施形態の動作を図5のタイミングチャートにより説明する。図5は、SDRAM2から4ビートのリードを行なった場合の動作を示し、RdData1, RdData2, RdData3, RdData4はそれぞれ1から4ビート目のリードデータであり、セレクタ8によりフリップフロップ7の出力DataIn\_Iを選択した場合に有効な動作を示したものである。

## 【0027】

1ビート目のリード動作を説明する。SDRAM2から出力されるリードデータRamDataは、本来ならばクロック信号CLK\_Aが立ち上がるT501Aの時点で取り込まなくてはならない。しかしながら、基板上の配線によるディレイやメモリコントローラ1内部のIOバッファ5等でのディレイにより、IOバッファ5を介して入力されたリードデータの信号がDataInとして示すようにT501Aの時点ではまだ確定していないとする。

## 【0028】

この場合、クロック信号CLK\_Aで動作するフリップフロップ6はT501Aの時点で不定値Xを取り込んでDataIn\_Aとして出力する。これに対し、DataInは反転クロック信号CLK\_Iが立ち上がるT501Bの時点ではRdData1に確定しているので、反転クロック信号CLK\_Iで動作するフリップフロップ7はT501Bの時点でRdData1を取り込んでDataIn\_Iとして出力する。このときセレクタ8のセレクト信号RdDSelがDataIn\_Iを選択する（すなわちフリップフロップ7を選択する）よう設定していればフリップフロップ9のD入力に正しくRdData1が入力されることになり、その結果、1ビート目のリードデータとしてRdData1が正しくリードされる。2から4ビート目も同様である。

## 【0029】

このような本実施形態によれば、第1の実施形態と同様にSDRAM1からリードデータを取り込むタイミングを最適に選択することができ、同様の効果が得られる。

## 【 0 0 3 0 】

ところで、以上に説明した本発明に係るリードデータを取り込むタイミングを選択できるようにしたメモリコントローラの構成は、メモリからリードデータを取り込んで外部に出力する機能を有するメモリコントローラならばSDRAMのメモリコントローラに限らず、SDRAM以外のDRAMのメモリコントローラ、さらにはDRAM以外の半導体メモリのメモリコントローラにも適用できることは勿論である。

## 【 0 0 3 1 】

## 〔第3の実施形態〕

次に、本発明の第3の実施形態を図6及び図7により説明する。まず、図6は、第3の実施形態におけるSDRAMのメモリコントローラとパワーコントローラからなるメモリ制御装置の構成を示している。

## 【 0 0 3 2 】

図6において、21はメモリ（SDARM22）の動作を制御するメモリコントローラ、22はSDRAM、23はメモリコントローラ21とSDRAM22の電源VccとVbattの監視と制御を行うパワーコントローラ、24はパワーコントローラ23の制御によりメモリコントローラ21への電源をVccまたはVbattに切り替えるスイッチ、25はパワーコントローラ23の制御によりSDRAM22への電源をVccまたはVbattに切り替えるスイッチ、26はメモリコントローラ21からSDRAM22に印加されるClkE（クロックイネーブル）信号をプルダウンするプルダウン抵抗である。なお、電源Vccは家庭用商用電源の100Vの交流を不図示の電源ユニットにより所定電圧の直流に変換したメイン電源であり、電源Vbattはバックアップ用のバッテリーより供給されるバッテリー電源である。

## 【 0 0 3 3 】

Cs\_L, Ras\_L, Cas\_L, We\_L, addr, ClkEは、メモリコントローラ21からSDRAM22に対して出力されるSDRAM22を制御するコントロール信号であり、Cs\_Lはチップセレクト信号、Ras\_Lはローアドレスストロープ信号、Cas\_Lはコラムアドレスストロープ信号、We\_Lはライトイネーブル信号、addrはアドレス信号、ClkEは上記のクロックイネーブル信号である。なお、\_Lの符号を付した信

号は勿論ローアクティブ、すなわちローレベルでアクティブ（有効）な信号である。C1kEはハイアクティブの信号である。また、メモリコントローラ21とSDRAM22間でやり取りされるDataは勿論データ信号である。

## 【0034】

また、C1kはメモリコントローラ21とSDRAM22に供給されるクロック信号であり、Reset\_Lはシステムリセット信号である。RamBackUpはパワーコントローラ23から出力されるメモリコントローラ21に対してメモリバックアップのためにSDRAM22をセルフリフレッシュモードにすることを指示するハイアクティブの信号であり、SelfRefOKは、メモリコントローラ21からパワーコントローラ23に対して出力されるSDRAM22がセルフリフレッシュモードに入ったことを知らせるハイアクティブの信号である。

## 【0035】

次に、図6の構成の動作について説明する。まず、通常のパワーアップ（バックアップ無し）の場合の動作を説明する。

## 【0036】

メイン電源Vccがオンされると、システムリセット信号Reset\_Lがローレベルになる。メモリコントローラ21はReset\_Lがローレベル時にRamBackUpがローレベルであるので、Cs\_L, Ras\_L, Cas\_L, We\_L, C1kEの各信号をハイレベルに保持する。そしてReset\_Lの解除後、RamBackUpがローレベルであるのでSDRAM22のパワーオンイニシャルシーケンス（Pre-Charge All Commandを発行し、その後Auto Refresh Commandを8回発行し、Mode Set Commandを発行する）を行い、その後通常動作に入り、要求があればSDRAM22のリード／ライトを行う。

## 【0037】

次に、通常動作中にメイン電源Vccの供給が停止（停電）し、バッテリー電源VbatによってSDRAM22の内容をバックアップする動作を説明する。

## 【0038】

図6において、パワーコントローラ23は、不図示の電源ユニットから供給されるメイン電源Vccの電圧を常に監視しており、通常動作中にメイン電源Vccの電圧があらかじめ規定された電圧よりも低くなった場合、メモリコントローラ21



に対してRamBackUp信号をアクティブ（ハイレベル）にして、SDRAM22をセルフリフレッシュモードに入れるよう指示を出す。同時に、スイッチ24、25を切り替えることにより、メモリコントローラ21への電源とSDRAM22への電源をメイン電源Vccからバッテリー電源Vbattへ切り替える。

## 【0039】

メモリコントローラ21は、RamBackUp信号を受け取ると、ただちに、ClkE、Cs\_L、Ras\_L、及びCas\_Lをローレベル、We\_Lをハイレベルにし、SDRAM22に対してSelf Refresh Entry Commandを発行し、SDRAM22をセルフリフレッシュモードに入れ、その後もClkEをローレベルに保つことによりセルフリフレッシュモードを継続させる。また同時にSelfRefOK信号をアクティブにし、パワーコントローラ23に対してSDRAM22がセルフリフレッシュモードに入ったことを知らせる。

## 【0040】

SelfRefOKを受け取ったパワーコントローラ23は、スイッチ24を切り替える事によってメモリコントローラ21の電源をバッテリー電源Vbattから停止（停電）しているメイン電源Vccに戻す。すなわちメモリコントローラ21への電源供給を停止する。ここでメモリコントローラ21から出力されるSDRAM22の制御信号Cs\_L、Ras\_L、Cas\_L、We\_Lは不定となるが、クロックイネーブル信号ClkEだけは、プルダウン抵抗26を通じてプルダウンされているのでローレベルを保持される。したがってSDRAM22はセルフリフレッシュモードのままとなり、バッテリーの容量が続く限り最小消費電力でSDRAM22の内容をバックアップし続けることができる。

## 【0041】

次に、メイン電源Vccの停電後、メイン電源Vccの供給が復活してバックアップから通常動作に戻る場合の動作を説明する。

## 【0042】

メイン電源Vccの供給が復活し、その電圧がある決められた電圧より高くなると、パワーコントローラ23はSDRAM22の電源をバッテリー電源Vbattからメイン電源Vccへ切り替える。メモリコントローラ21へのRamBackUp信号は、シ

システムリセット信号Reset\_Lが解除（ハイレベル）されるまで、アクティブ（ハイレベル）のままに保持される。メモリコントローラ21はReset\_Lがローレベルの間RamBackUpがハイレベルであれば、クロックイネーブル信号ClkEをローレベルにし続けることによって、SDRAM22のセルフリフレッシュモードを保持させる。Reset\_L解除後、RamBackUpがハイレベルであれば、ClkEをハイレベルにし、SDRAM22をセルフリフレッシュモードから抜けさせ、SDRAM22のパワーオンイニシャルシーケンスを実行すること無しに直ちにAuto Refresh Commandを発行する。その後、通常の動作モードに入り、要求があればSDRAM22のリード／ライトを行う。

## 【0043】

次に、上記の動作をさらにわかりやすく図7のタイミングチャートを用いて改めて説明する。

## 【0044】

図7において、上段が通常のメイン電源オン時の動作を示し、下段が通常動作からメイン電源が停電（バッテリバックアップ）し、その後、メイン電源が復活した場合の動作を示している。

## 【0045】

まず図7の上段に示す通常のメイン電源オン時の動作について説明する。T1の時点でメイン電源Vccがオンされる。この時システムリセット信号Reset\_Lがローレベルになり、パワーコントローラ23の出力RamBackUpはローレベルとなり、バックアップ状態からの復帰ではないことを示す。したがってメモリコントローラ21はClkEをハイレベルにドライブする。その後、時点T2のReset\_L解除時、RamBackUpがローレベルであるのでメモリコントローラ21はSDRAM22のパワーオンイニシャルシーケンスを実行する。すなわち、時点T3でパワーオンイニシャルシーケンスの最初であるPre-Charge All Commandを発行する。この後、図7には示されていないが、Auto-Refresh Commandを8回、Mode Set Commandを発行し、リード／ライト可能な状態になる。

## 【0046】

次に、図7の下段に示す通常動作状態からメイン電源が停電（SDRAMバッ

クアップ) し、その後、メイン電源が復活する場合の動作を説明する。通常動作状態からまずT 4 の時点でパワーコントローラ 2 3 がメイン電源Vccの電圧低下を検出すると、メモリコントローラ 2 1 に対してRamBackUpをハイレベルにしてSDRAM 2 2 をセルフリフレッシュモードにするよう指示を出す。同時にスイッチ 2 4 , 2 5 の切り替えにより、メモリコントローラ 2 1 とSDRAM 2 2 の電源をメイン電源Vccからバッテリー電源Vbattに切り替える。

## 【 0 0 4 7 】

メモリコントローラ 2 1 はT 5 の時点でSelf-Refresh Entry Commandを発行する (Self-Refresh Entry Commandの前に必要に応じてPre-Charge All Command/Auto-Refresh Commandが発行される)。同時にSelfRefOKをハイレベルにし、パワーコントローラ 2 3 に対してSDRAM 2 2 がセルフリフレッシュモードに入った事を知らせる。そしてClkEをローレベルに保ちSDRAM 2 2 のセルフリフレッシュモードを保持する。

## 【 0 0 4 8 】

SelfRefOKを受け取ったパワーコントローラ 2 3 は、T 6 の時点でスイッチ 2 4 の切り替えにより、メモリコントローラ 2 1 の電源をバッテリー電源Vbattから停電しているメイン電源Vccに戻す。すなわちメモリコントローラ 2 1 の電源供給を停止し、SDRAM 2 2 だけにバッテリー電源Vbattを供給し続ける。この時RamBackUpはハイレベルを保持したままである。また、メモリコントローラ 2 1 の電源供給が停止されても、ClkEはプルダウン抵抗 2 6 によってローレベルに保持されるので、SDRAM 2 2 はセルフリフレッシュモードのままである。

## 【 0 0 4 9 】

その後、T 7 の時点でメイン電源Vccが復活し、パワーコントローラ 2 3 はスイッチ 2 5 の切り替えにより、SDRAM 2 2 の電源をバッテリー電源Vbattからメイン電源Vccに戻す。時点T 4 からこの時点T 7 までバッテリーバックアップがなされたことになる。

## 【 0 0 5 0 】

ここで、図 7 上段に示した通常のメイン電源オン時と同様にシステムリセット信号Reset\_Lがローレベルになるが、RamBackUp信号がハイレベルであるので、メ

メモリコントローラ 21 は ClkE をローレベルに保つ。T 8 の時点でシステムリセット信号 Reset\_L が解除（ハイレベル）されるが、RamBackUp がハイレベルであるため、メモリコントローラ 21 は通常のパワーオンイニシャルシーケンスを発行せず、T 9 の時点で Auto-Refresh Command を発行し、リード／ライト可能な状態になる。

## 【 0 0 5 1 】

以上のように、本実施形態によれば、図 7 の下段に示したように、メイン電源 Vcc が通常の通電状態からオフ（停電）した場合（時点 T 4）、メモリコントローラ 21 と SDRAM 22 の電源がメイン電源 Vcc からバッテリー電源 Vbatt に切り替えられるが、その後、メモリコントローラ 21 が SDRAM 22 をセルフリフレッシュモードにした（時点 T 5）後、メモリコントローラ 21 の電源がバッテリー電源 Vcc から停電しているメイン電源 Vcc に切り替えられ、メモリコントローラ 21 への電源供給が停止される（時点 T 6）。そしてメイン電源 Vcc の復活（時点 T 7）まで、メモリコントローラ 21 への電源供給は停止される。

## 【 0 0 5 2 】

したがって、バッテリーバックアップ時の消費電流を最小とすることができ、より長時間のバッテリーバックアップが可能となる。またバッテリーバックアップの必要時間が定められているシステムにおいては、より小さいバッテリー容量で所望のバックアップ時間を満たすことができ、コストダウンを図ることができる。また、メモリコントローラ 21 と SDRAM 22 の間にスイッチなどの付加回路が必要ないので、制御信号のディレイが最小となり、容易に SDRAM の動作周波数の向上をはかる事が可能となる。

## 【 0 0 5 3 】

## 〔第 4 の実施形態〕

次に、本発明の第 4 の実施形態を図 8 及び図 9 により説明する。まず、図 8 は、第 4 の実施形態における SDRAM のメモリコントローラとパワーコントローラからなるメモリ制御装置の構成を示している。図 8 において、第 3 の実施形態の図 6 中と共通の部分には共通の符号を付してあり、その共通部分の説明は省略する。

## 【 0 0 5 4 】

図 8 に示すように、本実施形態の構成では、第 3 の実施形態の図 6 中のスイッチ 2 4 が設けられておらず、メモリコントローラ 2 1 に対する電源供給はメイン電源 Vcc のみによってなされ、メモリコントローラ 2 1 の電源の切り替えはなされないようになっている。また、第 3 の実施形態ではメモリコントローラ 2 1 からパワーコントローラ 2 3 に対して SelfRefOk 信号が出力されるものとしたが、本実施形態では同信号を廃止している。本実施形態のこれ以外の部分の構成は第 3 の実施形態と共通とする。

## 【 0 0 5 5 】

次に、図 9 のタイミングチャートにより本実施形態の動作を説明する。なお、図 9 の上段に示す通常のメイン電源オン時の動作は、第 3 の実施形態の図 7 上段の動作と共通であるので、説明を省略し、図 9 下段に示すメイン電源が通常の通電状態から停電し、その後に復活する場合の動作を説明する。

## 【 0 0 5 6 】

第 3 の実施形態では、図 7 中の時点 T 4 でパワーコントローラ 3 がメイン電源 Vcc の電圧低下を検出すると、メモリコントローラ 1 と SDRAM 2 の電源をバッテリー電源 Vbatt に切り替えたが、本実施形態では、図 9 中でパワーコントローラ 3 がメイン電源 Vcc の電圧低下を検出した時点 T 1 3 からその後の時点 T 1 5 までメイン電源 Vcc によるメモリコントローラ 2 1 への電源供給が保証されるものとし、その間の時点 T 1 4 でメモリコントローラ 2 1 がクロックイネーブル信号 ClkE をローレベルにして Self-Refresh Entry Command を発行し、SDRAM 2 をセルフリフレッシュモードにする。その後の動作は第 3 の実施形態と同様である。

## 【 0 0 5 7 】

本実施形態によれば、時点 T 1 3 から T 1 5 までの間、メイン電源 Vcc によるメモリコントローラ 2 1 への電源供給が保証されるので、その間にメモリコントローラ 2 1 の電源をバッテリー電源 Vbatt に切り替える必要は無い。また SelfRefOk 信号も必要ない。

## 【 0 0 5 8 】

なお、本実施形態では、時点T15からメイン電源Vccが復活する時点T16まで、メモリコントローラ21に対する電源供給はオフされるが、その間、プルダウン抵抗26によりClkEがローレベルに保持されるので、SDRAM22はセルフリフレッシュモードを維持し、バッテリバックアップがなされることは勿論である。

【0059】

このような本実施形態によれば、メイン電源Vccが通常に通電状態から停電してSDRAM22のバッテリバックアップを行なう場合、バッテリ電源Vbattによるメモリコントローラ21への電源供給は行わないので、バッテリバックアップ時の消費電流を最小とすることができ、第3の実施形態と同様の効果が得られる。

【0060】

なお、第3と第4の実施形態に示した本発明に係るメモリ制御装置の構成は、SDRAM以外のDRAMのメモリコントローラとパワーコントローラからなるメモリ制御装置にも適用できることは勿論である。

【0061】

【発明の効果】

以上の説明から明らかなように、本発明によれば、メモリからリードデータを取り込んで外部に出力する機能を有するメモリコントローラにおいて、簡単安価な構成により、リード時にメモリからリードデータを取り込むタイミングを複数の内で最適なタイミングに選択することができ、メモリの動作周波数が高くても確実にリードデータを取り込んで出力することができる。またメモリコントローラとメモリを実装したプリント基板上の配線などによるリードデータ信号のディレイに対して、メモリコントローラ内でリードデータを取り込むタイミングを変更して対応することができるので、プリント基板の設計が容易になり、その設計の日程の短縮及びコスト低減が図れる。

【0062】

また、本発明によれば、DRAMのメモリコントローラとパワーコントローラからなるメモリ制御装置において、メイン電源の停電に応じたDRAMのバッテ

リバックアップ時に、メモリコントローラの電源供給を停止することができるので、バッテリバックアップ時の消費電流を最小とすることができ、より長時間のバッテリバックアップが可能となる。またバッテリバックアップの必要時間が定められているシステムにおいては、より小さいバッテリ容量で所望のバックアップ時間を満たすことができ、コストダウンを図ることができる。また、メモリコントローラとDRAMの間にスイッチなどの付加回路が必要ないので、制御信号のディレイが最小となり、容易にDRAMの動作周波数の向上をはかる事が可能となるという優れた効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態におけるメモリコントローラのリードデータ取り込みに関わる構成を示すブロック図である。

【図 2】

同実施形態におけるリードデータの取り込み動作のタイミングチャート図である。

【図 3】

取り込みタイミングが異なるリードデータの取り込み動作のタイミングチャート図である。

【図 4】

本発明の第 2 の実施形態におけるメモリコントローラのリードデータ取り込みに関わる構成を示すブロック図である。

【図 5】

同実施形態におけるリードデータの取り込み動作のタイミングチャート図である。

【図 6】

本発明の第 3 の実施形態における SDRAM のメモリコントローラとパワーコントローラからなるメモリ制御装置の構成を示すブロック図である。

【図 7】

同実施形態の動作を説明する信号のタイミングチャート図である。

【図 8】

本発明の第 4 の実施形態におけるメモリ制御装置の構成を示すブロック図である。

【図 9】

同実施形態の動作を説明する信号のタイミングチャート図である。

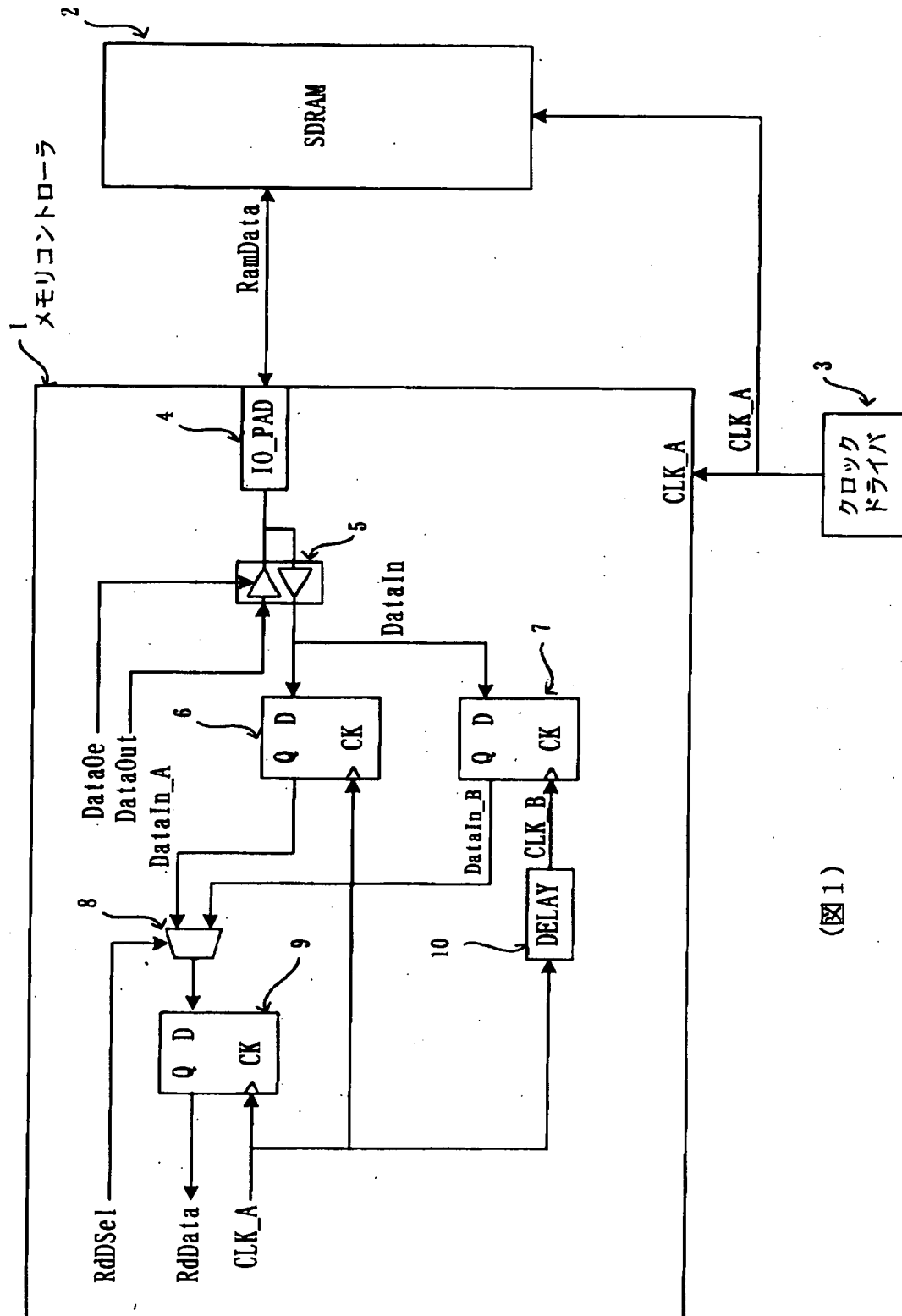
【符号の説明】

- 1   メモリコントローラ
- 2   SDRAM
- 3   クロックドライバ
- 4   I/O端子
- 5   I/Oバッファ
- 6, 7, 9   フリップフロップ
- 8   セレクタ
- 10   ディレイ素子
- 11   インバータ
- 21   メモリコントローラ
- 22   SDRAM
- 23   パワーコントローラ
- 24   メモリコントローラ 21 の電源を切り替えるスイッチ
- 25   SDRAM 22 の電源を切り替えるスイッチ
- 26   プルダウン抵抗



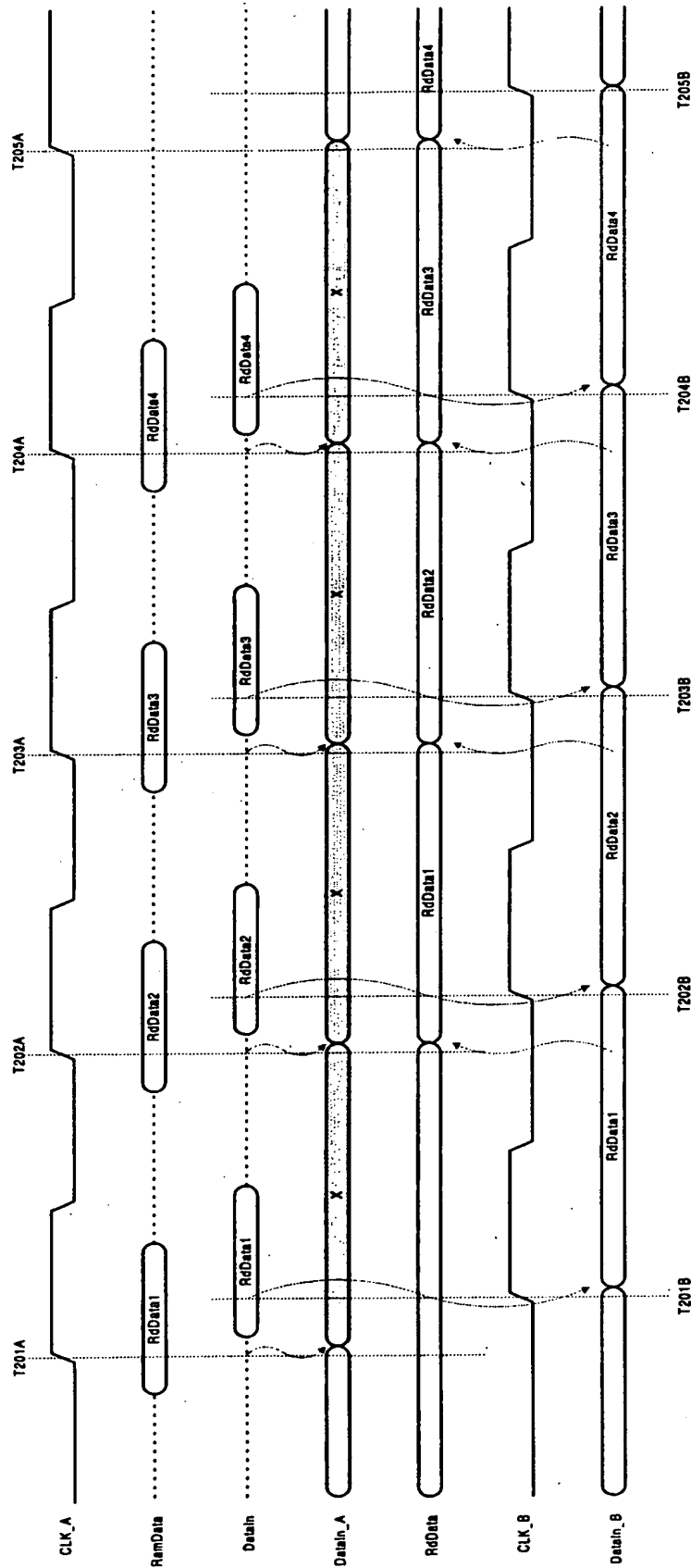
【書類名】 図面

【図 1】



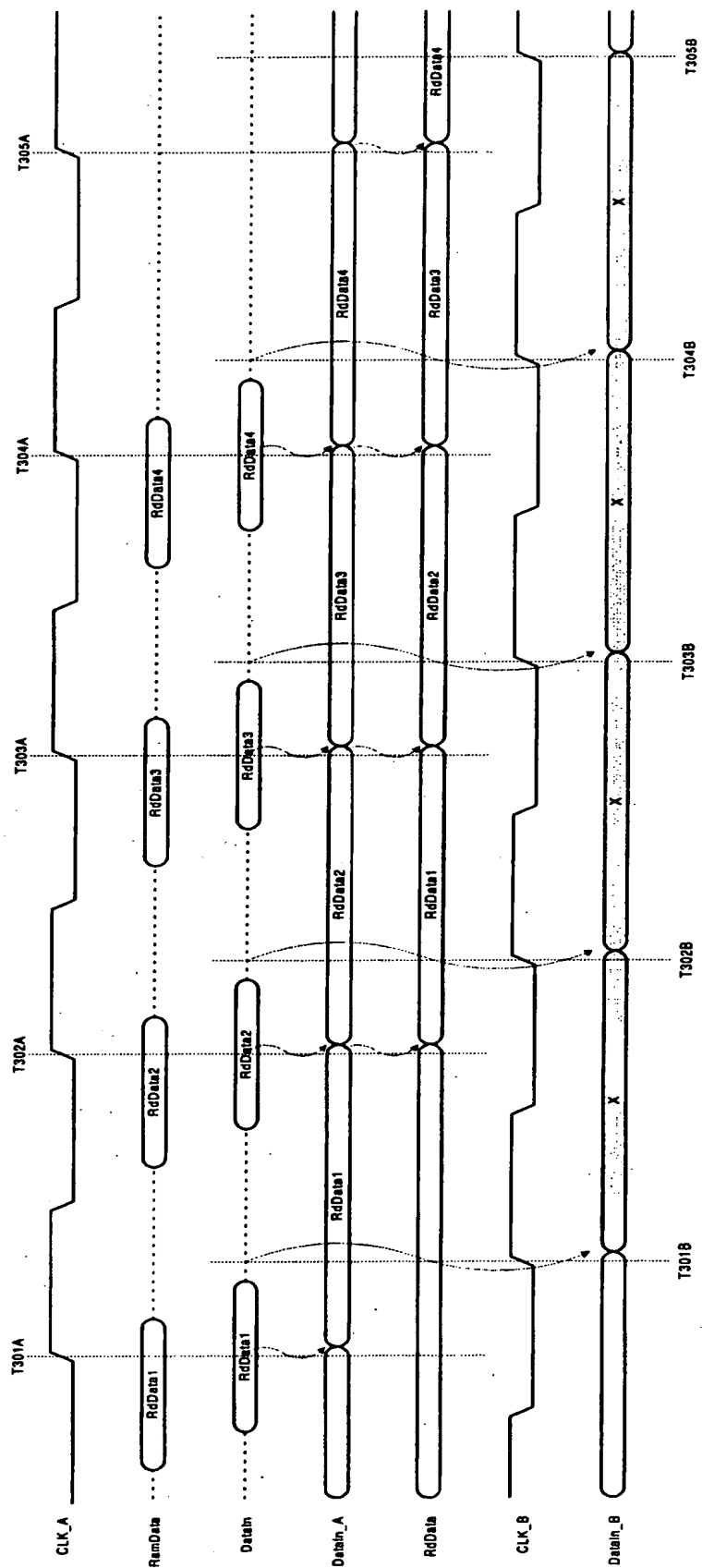
(図 1)

【図 2】



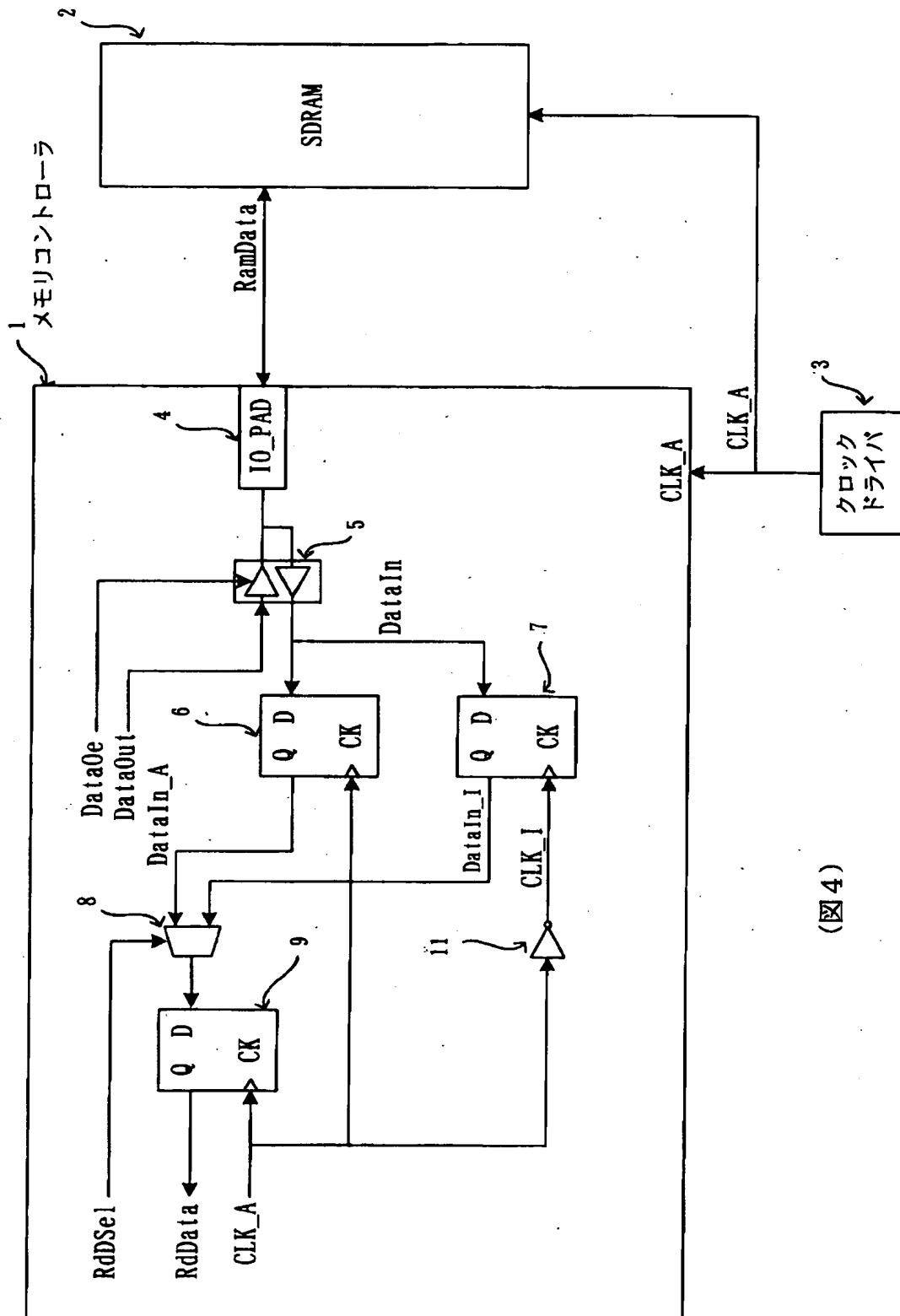
( 2 )

【図 3】



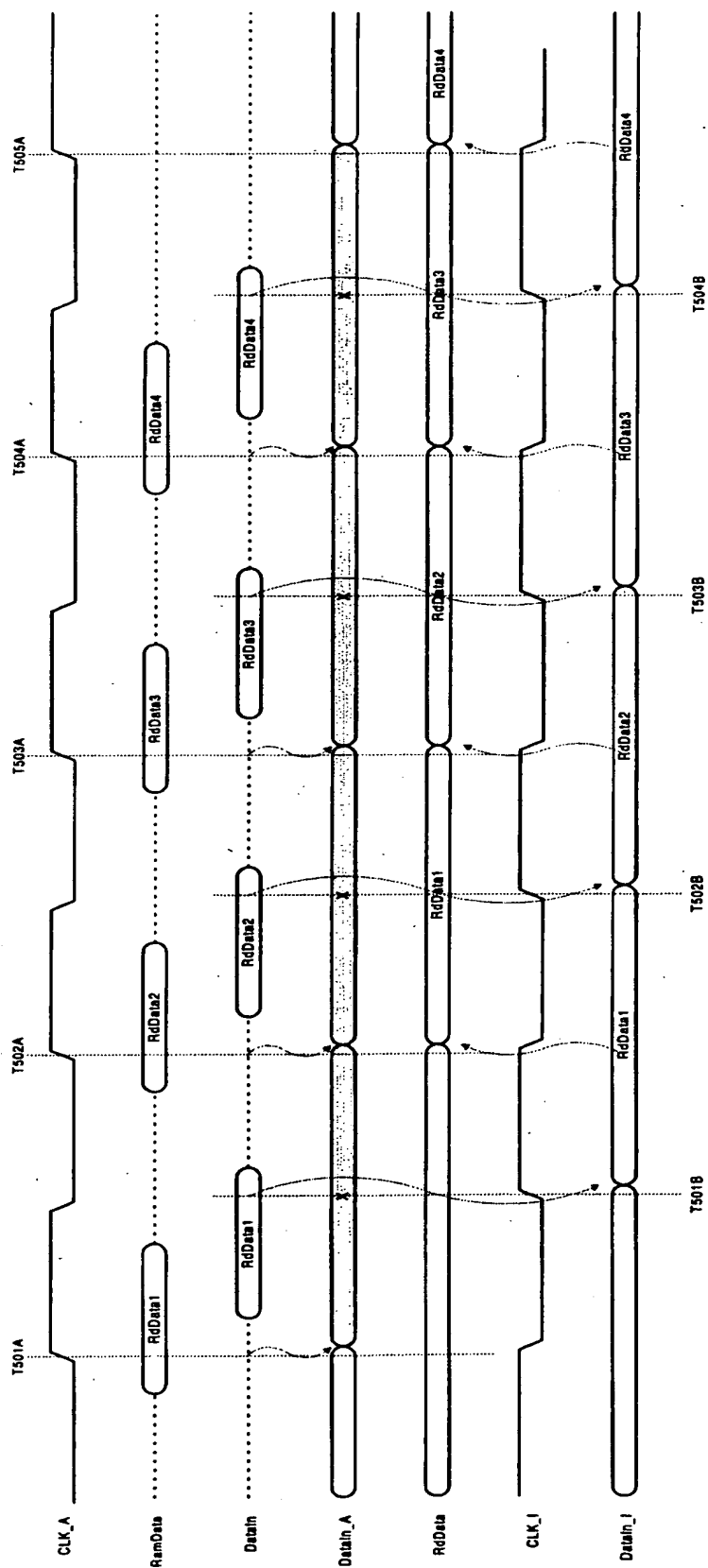
( 図 3 )

【図4】



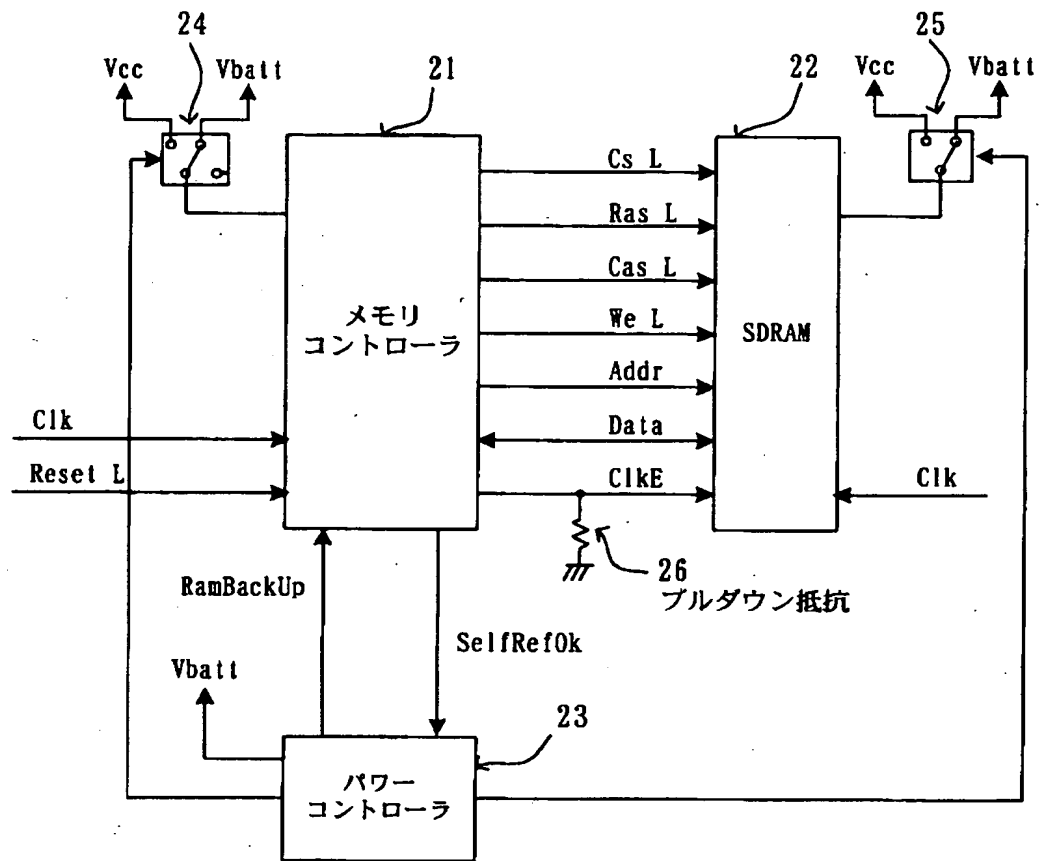
(図4)

【図 5】



(図 5)

【図 6】

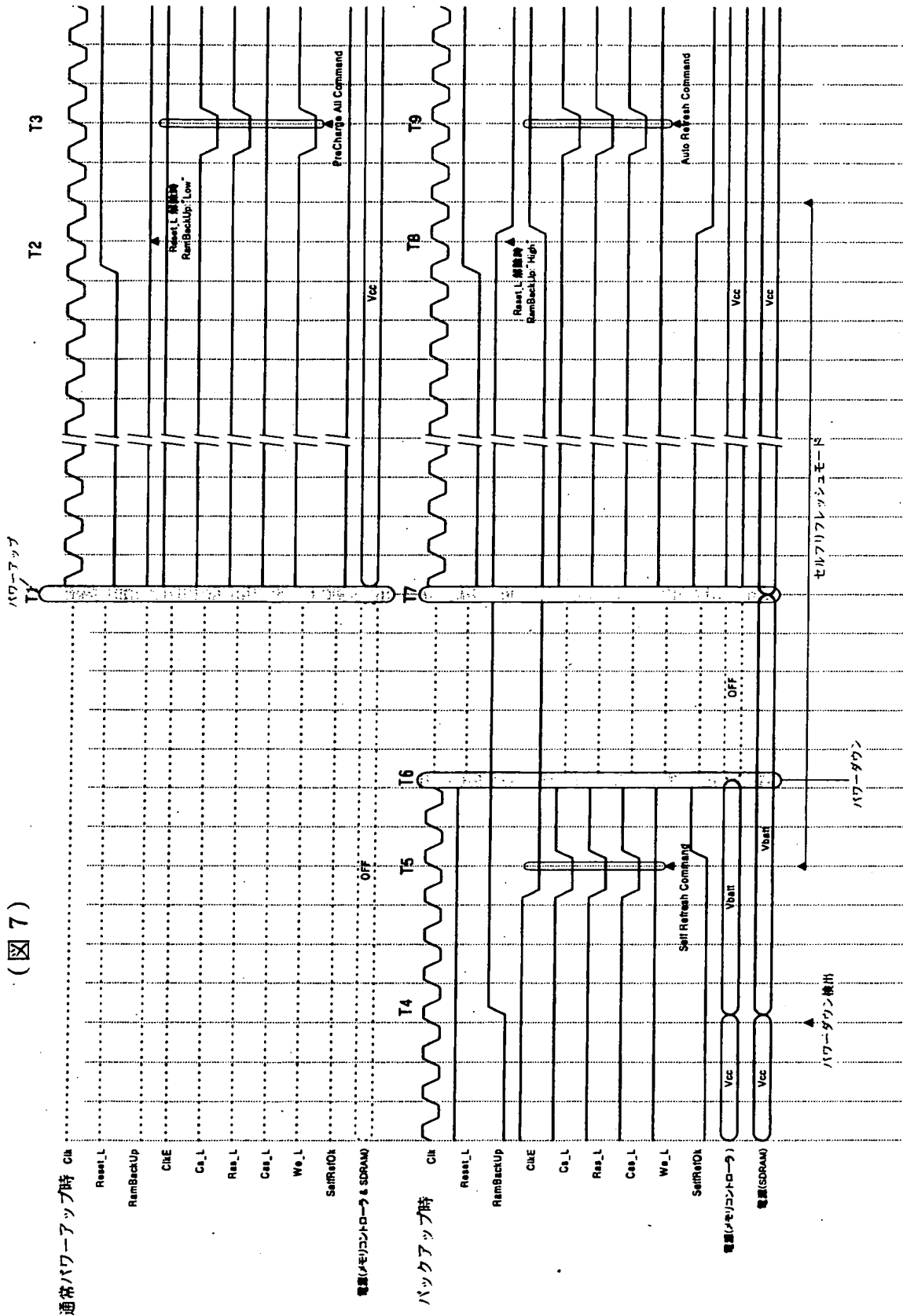


(図 6)

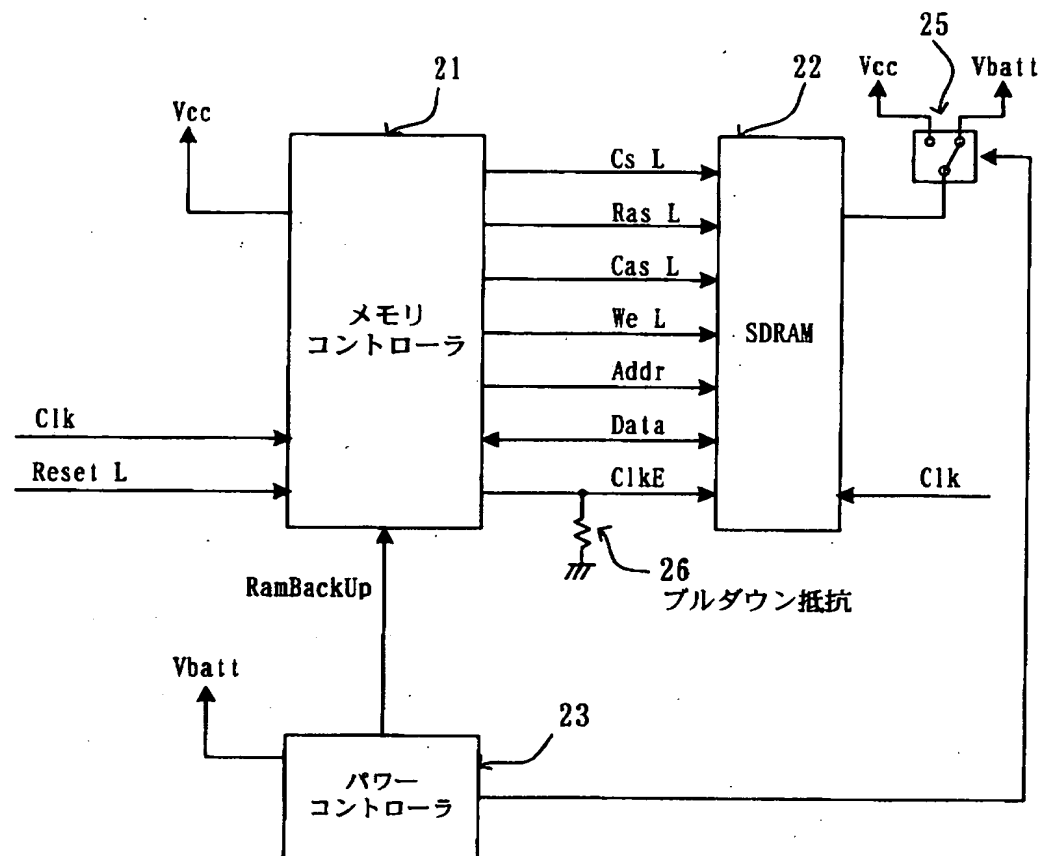
【図 7】



( 7 )

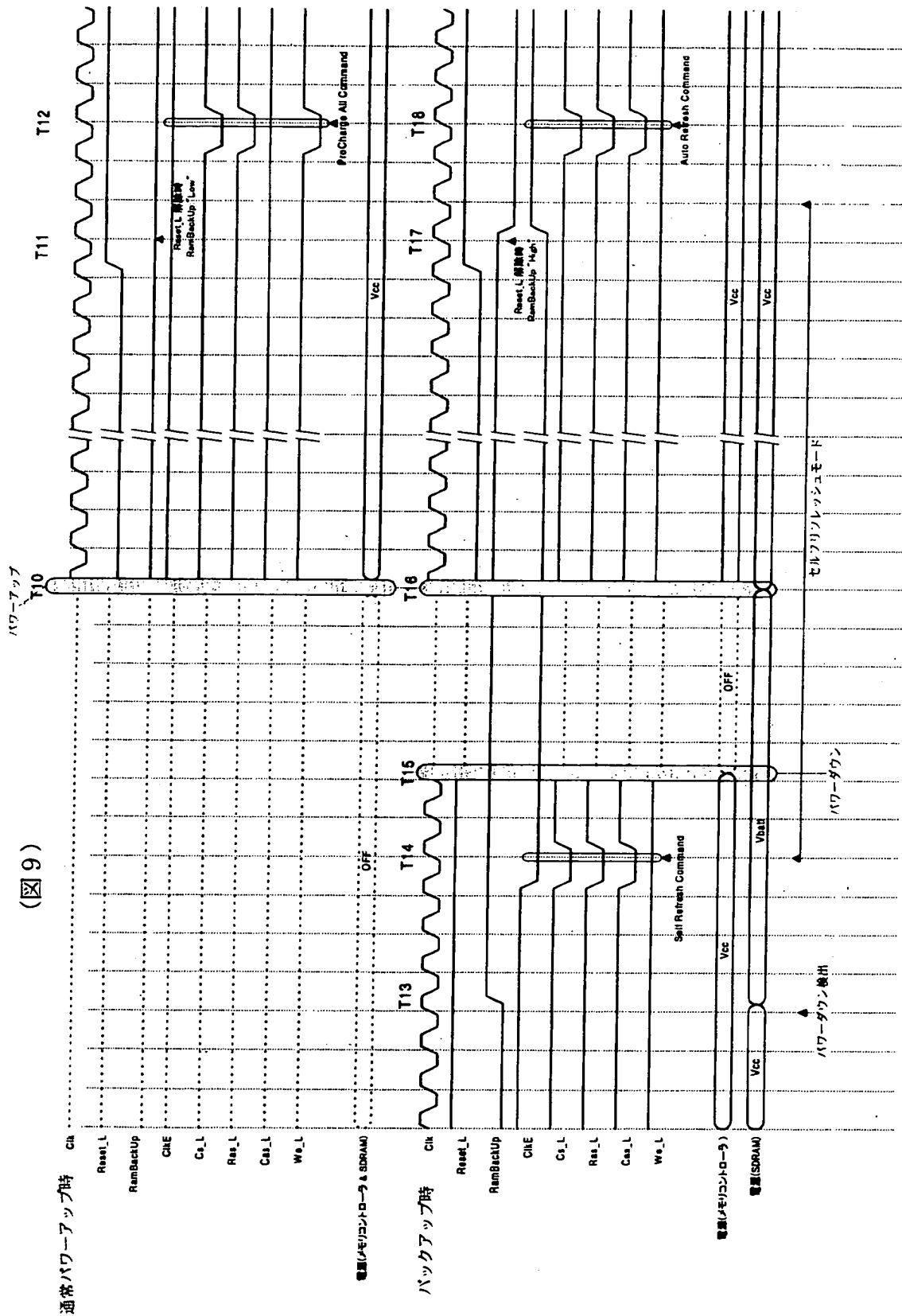


【図 8】



(図 8)

【図 9】



【書類名】            要約書

【要約】

【課題】    メモリコントローラにおいて、リード時にメモリの動作周波数が高くてもリードデータを確実に取り込んで出力できるようにする。

【解決手段】    メモリコントローラ 1 のフリップフロップ 6, 7 は、互いに同一周期で変化のタイミングが異なるクロック信号 CLK\_A と CLK\_B のそれぞれにより動作して SDRAM 2 からのリードデータを同一周期で異なるタイミングで取り込む。フリップフロップ 6, 7 の出力 DataIn\_A と DataIn\_B の内の一方がセクタ 8 により選択され、フリップフロップ 9 に取り込まれ、リードデータとして CPU バスに出力される。このようにして、SDRAM 2 からリードデータを取り込むタイミングを最適なタイミングに選択して確実にリードデータを取り込んで出力することができる。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号

[000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社